

MULTI-PROCESSOR SYSTEM

Publication number: JP2001125875

Publication date: 2001-05-11

Inventor: KUROISHI NORIHIKO; SHIMADA TOSHIRO; UEDA YUTAKA; MIYAGAWA NOBUAKI; KOYANAGI MITSUMASA

Applicant: FUJI XEROX CO LTD; KOYANAGI MITSUMASA

Classification:

- **International:** G06F15/173; G06F9/46; G06F15/16; G06F15/177; G06F15/80; G06F15/16; G06F9/46; G06F15/76; (IPC1-7): G06F15/177; G06F9/46; G06F15/16

- **European:**

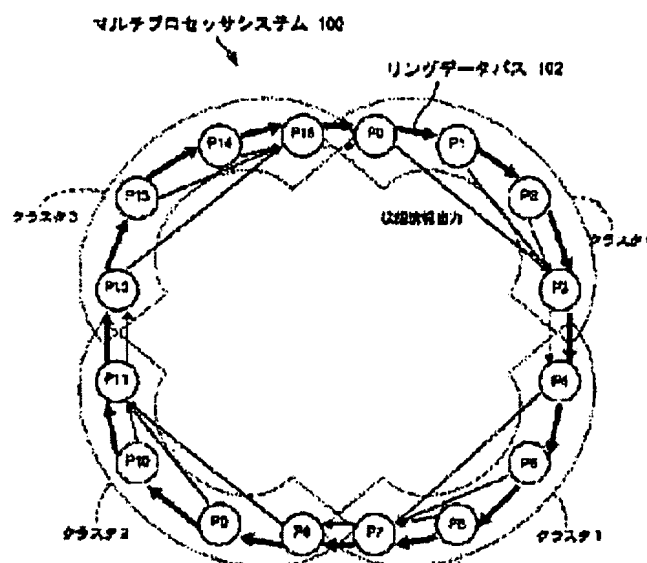
Application number: JP19990308438 19991029

Priority number(s): JP19990308438 19991029

Report a data error here

Abstract of JP2001125875

PROBLEM TO BE SOLVED: To quickly inspect the state of each processor without making it necessary to arrange any extremely complicate electric wiring, or interrupting inter-processor data communication. **SOLUTION:** In this multi-processor system, 16 processors P0-P15 constituting a multiprocessor system 100 are circularly connected through a ring data bus 102, and grouped with each cluster constituted of four processors as a unit. Each cluster is constituted so that state information outputted from the first to third processors can be inputted to the fourth processor, and that the state information on which the states of all the processors in the same cluster are reflected can be outputted from the fourth processor. Also, the mutually adjacent clusters are constituted so that the state information outputted from the fourth processor in the cluster in the previous stage can be inputted to the first processor in the cluster in the next stage. Thus, it is possible to obtain the state information on which the states of all the processors are reflected by propagating the state information across the clusters.



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-125875

(P2001-125875A)

(43)公開日 平成13年5月11日(2001.5.11)

(51)Int.Cl.⁷G 0 6 F 15/177
9/46
15/16

識別記号

6 7 2
3 6 0
6 4 0

F I

C 0 6 F 15/177
9/46
15/16

テ-マコ-ト*(参考)

6 7 2 B 5 B 0 4 6
3 6 0 F 5 B 0 9 8
6 4 0 A

審査請求 未請求 請求項の数4 OL (全 15 頁)

(21)出願番号 特願平11-308438

(22)出願日 平成11年10月29日(1999. 10. 29)

(71)出願人 000003496

富士ゼロックス株式会社
東京都港区赤坂二丁目17番22号

(71)出願人 591272974

小柳 光正
宮城県名取市ゆりが丘1-22-5

(72)発明者 黒石 範彦

神奈川県海老名市本郷2274番地 富士ゼロ
ックス株式会社海老名事業所内

(74)代理人 100079049

弁理士 中島 淳 (外3名)

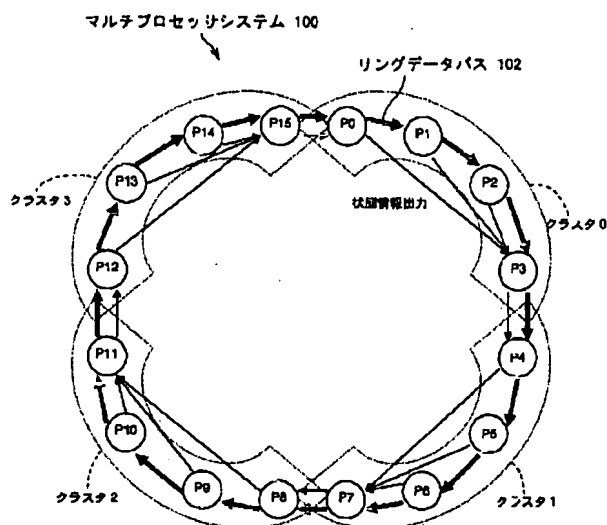
最終頁に続く

(54)【発明の名称】 マルチプロセッサシステム

(57)【要約】

【課題】 各プロセッサの状態検査を、非常に複雑な電気配線を必要としたり、プロセッサ間のデータ通信を遮ることなく短時間で行えるようにする。

【解決手段】 マルチプロセッサシステム100を構成する16個のプロセッサP0～P15はリングデータベース102を介して環状に接続され、各々4個のプロセッサから成るクラスタを単位としてグループ分けされている。各クラスタは、1～3番目のプロセッサから出力された状態情報が4番目のプロセッサに各々入力され、同一クラスタ内の全プロセッサの状態が反映された状態情報が4番目のプロセッサから出力されるように構成されている。各クラスタ間は、前段のクラスタの4番目のプロセッサから出力された状態情報が次段のクラスタの1番目のプロセッサに入力されるように接続されており、状態情報がクラスタ間を伝播することで全てのプロセッサの状態が反映された状態情報が得られる。



【特許請求の範囲】

【請求項1】 多数個のプロセッサがバスを介して接続されたマルチプロセッサシステムであって、前記多数個のプロセッサは複数のプロセッサから成るクラスタを単位としてグループ分けされており、各プロセッサ毎に各々設けられ、対応するプロセッサの状態を表す状態情報を出力するか、或いは、入力された状態情報に対応するプロセッサの状態を反映させた状態情報を生成して出力する第1出力手段と、クラスタ又は複数のクラスタから成るクラスタ群毎に少なくとも1つ設けられ、対応するクラスタ内の全てのプロセッサ、又は対応するクラスタ群内の全てのクラスタから状態情報が各々入力され、入力された各状態情報が表すプロセッサの状態を各々反映させた単一の状態情報を生成して出力する第2出力手段と、前記第2出力手段から出力された状態情報を次クラスタ又は次クラスタ群の第1出力手段又は第2出力手段に入力させる信号線と、を備えたことを特徴とするマルチプロセッサシステム。

【請求項2】 前記クラスタ又は前記クラスタ群は、相互に近接した位置に配置されるプロセッサによって各々構成されていることを特徴とする請求項1記載のマルチプロセッサシステム。

【請求項3】 前記第2出力手段に入力される状態情報の数が、単一のクラスタ又はクラスタ群に入力される状態情報の数よりも多いことを特徴とする請求項2記載のマルチプロセッサシステム。

【請求項4】 前記第1出力手段及び前記第2出力手段は、前記状態情報を生成するための演算として複数種の演算を選択的に行う機能を備えており、外部からの指示に応じて複数種の演算を選択的に行って状態情報を生成することを特徴とする請求項1記載のマルチプロセッサシステム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はマルチプロセッサシステムに係り、特に、多数個のプロセッサがバスを介して接続されたマルチプロセッサシステムに関する。

【0002】

【従来の技術】従来より、複数のプロセッサがリングバス形式の通信ネットワークによって各々に接続され、膨大なデータ処理を各プロセッサに分散させ、プロセッサ間のデータ通信を適宜行いながらデータ処理を進めるマルチプロセッサシステムが知られている。この種のマルチプロセッサシステムでは、各プロセッサにおけるデータ処理の同期をとるために、各プロセッサが出力する状態データを順次に論理的に集計し、各種の状態情報を得る状態検査を行う必要がある。

【0003】マルチプロセッサシステムにおける状態検査方式の一例として、特開平4-278660号公報に

は、データ通信用のリングバスと別に、各プロセッサとワイヤードアンド接続された状態検査を行うための多ビット幅の専用のバス（同期制御バス）を設け、この同期制御バスを用いて状態検査を行うマルチプロセッサの同期検出システムが開示されている。

【0004】また、状態検査方式の他の例として、特開平9-44457号公報に記載のマルチプロセッサシステムでは、状態検査のためのパケットをデータ通信用のリングバスに送出し、各プロセッサが受信した状態検査パケットに自プロセッサの状態を反映させる論理演算を行って送信することで状態検査を行っている。

【0005】

【発明が解決しようとする課題】しかしながら、同期制御バスを用いて状態検査を行う態様では、全てのプロセッサに対しデータ通信用のリングバスに加えて多ビット幅の同期制御バスも各々接続する必要があるため、配線数及び端子数が増大して電気配線が非常に複雑になり、装置の大型化や製造コストの増大を招くという問題がある。また、プロセッサ数が増えるに従って同期制御用バスの配線容量や配線抵抗（電氣的負荷）が増大し、消費電力等の電氣的特性が著しく悪化するという欠点もある。

【0006】一方、リングバスを用いて状態検査パケットにより状態検査を行う態様では、プロセッサ数が増えても電気配線が非常に複雑になったり電氣的特性が著しく悪化することはないが、状態検査時に、全てのプロセッサで処理が終了する迄状態検査パケットがデータ通信用のリングバスに繰り返し送出されることでリングバスが占有されてしまうため、状態検査を行っている間は全てのプロセッサが一切のデータ通信を行うことができないという問題がある。

【0007】また、状態検査パケットが全てのプロセッサを通過してリングバスを1周することで、初めて各プロセッサの状態が明らかになるため、プロセッサ数が増えるに従って状態検査に要する時間が増大する（プロセッサ数がNのとき少なくともNサイクル必要となる）。

【0008】本発明は上記事実を考慮して成されたもので、各プロセッサの状態検査を、非常に複雑な電気配線を必要としたり、プロセッサ間のデータ通信を遮ることなく短時間で行うことができるマルチプロセッサシステムを得ることが目的である。

【0009】

【課題を解決するための手段】上記目的を達成するために請求項1記載の発明に係るマルチプロセッサシステムは、多数個のプロセッサがバスを介して接続されたマルチプロセッサシステムであって、前記多数個のプロセッサは複数のプロセッサから成るクラスタを単位としてグループ分けされており、各プロセッサ毎に各々設けられ、対応するプロセッサの状態を表す状態情報を出力するか、或いは、入力された状態情報に対応するプロセッサ

サの状態を反映させた状態情報を生成して出力する第1出力手段と、クラスタ又は複数のクラスタから成るクラスタ群毎に少なくとも1つ設けられ、対応するクラスタ内の全てのプロセッサ、又は対応するクラスタ群内の全てのクラスタから状態情報が各々入力され、入力された各状態情報が表すプロセッサの状態を各々反映させた単一の状態情報を生成して出力する第2出力手段と、前記第2出力手段から出力された状態情報を次クラスタ又は次クラスタ群の第1出力手段又は第2出力手段に入力させる信号線と、を備えたことを特徴としている。

【0010】本発明に係るマルチプロセッサシステムは、多数個のプロセッサがバスを介して接続されて構成されている。多数個のプロセッサを接続するバスとしては、例えばリングバス形式のバスを採用することができ、前記バスを介してプロセッサ間でデータ通信を行いながらデータ処理を進めることができる。

【0011】請求項1記載の発明では、上記構成のマルチプロセッサシステムにおいて、多数個のプロセッサが複数のプロセッサから成るクラスタにグループ分けされており、各プロセッサには、対応するプロセッサの状態を表す状態情報を出力するか、或いは、入力された状態情報に対応するプロセッサの状態を反映させた状態情報を生成して出力する第1出力手段が設けられている。

【0012】なお、状態情報としては、例えばプロセッサが所定の条件を満たしたか否か（例えば所定の処理を終了したか否か）を表す1ビットの情報等を用いることができる。この場合、1本の電気配線によって状態情報を伝達できるので、状態情報を伝達するために多ビット幅のバス等を新たに設ける必要がなくなり、電気配線を簡単にできるので好ましい。

【0013】また、各クラスタ、又は複数のクラスタから成る各クラスタ群には、対応するクラスタ内の全てのプロセッサ、又は対応するクラスタ群内の全てのクラスタから各々入力された各状態情報が表すプロセッサの状態を各々反映させた単一の状態情報を生成して出力する第2出力手段が少なくとも1つ設けられている。

【0014】これにより、各クラスタ内又は各クラスタ群内において、複数の第1出力手段から各々出力された複数の状態情報は、第2出力手段により単一の状態情報（単一のクラスタ内の全てのプロセッサの状態、又は単一のクラスタ群内の全てのプロセッサの状態が反映された状態情報）に統合されるので、複数の第1出力手段は略同一のタイミングで状態情報を出力することができ、単一のクラスタ内又は単一のクラスタ群内の全てのプロセッサの状態を表す状態情報を短時間で得ることができる。

【0015】例として図1(A)には、プロセッサ $n \sim n+3$ の4個のプロセッサから成る単一のクラスタに本発明を適用した構成の一例を示す。図1(A)の例では、対応するプロセッサの状態を表す状態情報を出力す

る第1出力手段10が各プロセッサに設けられており、各プロセッサの第1出力手段10から出力された状態情報が、プロセッサ $n+3$ に設けられた第2出力手段12に各々入力され、第2出力手段12から単一の状態情報が出力される。ここで、各プロセッサの第1出力手段10及び第2出力手段12からの状態情報の出力に各々1サイクルかかるものとした場合、図1(A)の構成では、単一のクラスタ内の各プロセッサの状態が反映された状態情報が第2出力手段12から2サイクルで出力されるので、状態情報を短時間で出力することができる。

【0016】また、例として図1(B)には、各々2個のプロセッサを備えた4個のクラスタA～Dから成るクラスタ群に本発明を適用した構成の一例を示す。図1(B)の例では、プロセッサ $n, n+2, n+4, n+6$ には対応するプロセッサの状態を表す状態情報を出力する第1出力手段20が、プロセッサ $n+1, n+3, n+5, n+7$ には入力された単一の状態情報に対応するプロセッサの状態を反映させた状態情報を生成して出力する第1出力手段22が各々設けられており、プロセッサ $n+1, n+3, n+5, n+7$ の第1出力手段22から出力された各クラスタの状態情報が、プロセッサ $n+7$ に設けられた第2出力手段24に各々入力され、第2出力手段24から単一の状態情報が出力される。この構成では、単一のクラスタ群内の各プロセッサの状態が反映された状態情報が第2出力手段24から3サイクルで出力されるので、状態情報を短時間で出力することができる。

【0017】そして請求項1記載の発明では、第2出力手段から出力された状態情報を次クラスタ又は次クラスタ群の第1出力手段又は第2出力手段に入力させる信号線が設けられており、単一のクラスタ又はクラスタ群内の各プロセッサの状態が反映された状態情報は、次クラスタ又は次クラスタ群へ入力され、次クラスタ又は次クラスタ群内の各プロセッサの状態も順次反映される。従って、クラスタ又はクラスタ群の間を信号線を介して状態情報が順に伝達されることで、マルチプロセッサシステムの全てのプロセッサの状態検査、すなわち全てのプロセッサの状態が反映された状態情報の取得を行うことができる。

【0018】請求項1記載の発明では、バスと別に設けられた信号線によって状態情報の伝達を行うので、プロセッサ間のデータ通信を遮ることなく状態情報を伝達することができる。また、請求項1記載の発明では、同一クラスタ内又は同一クラスタ群内の各プロセッサを接続すると共に、信号線を介してクラスタ間又はクラスタ群間を接続する、という簡易な配線によって実現することができ、状態検査用のバスを設けて全てのプロセッサとワイヤードアンド接続する等のように、非常に複雑かつ配線容量や配線抵抗（電気的負荷）の大きな電気配線を設ける必要もない。

【0019】従って、請求項1記載の発明によれば、各プロセッサの状態検査を、非常に複雑な電気配線を必要としたり、プロセッサ間のデータ通信を遮ることなく短時間で行うことができる。なお本発明において、各プロセッサの状態検査は、例えば各プロセッサで並行して処理を実行させた際に、各プロセッサにおける処理が終了したか否かを検査し、各プロセッサにおける処理の同期をとる（所謂同期検出）場合に用いることができる。

【0020】なお、クラスタ又はクラスタ群は、請求項2に記載したように、相互に近接した位置に配置されるプロセッサ（例えば同一のチップ内に配置されるプロセッサ等）によって構成することが好ましい。これにより、クラスタ内又はクラスタ群内を接続する接続線の長さを短くすることができ、前記接続線の配線容量や配線抵抗（電気的負荷）を小さくすることができる。

【0021】また、単一のクラスタを構成するプロセッサの数や、単一のクラスタ群を構成するクラスタの数は、配線の難易度に応じて決定することができる。例えば、単一のチップ内はプリント基板上と比較して複雑な配線も比較的容易であり、同一のチップ内に配置されるプロセッサによってクラスタ又はクラスタ群を構成すれば、前記接続線の配線が容易になるという効果が得られる。

【0022】また、請求項2記載の発明において、請求項3に記載したように、第2出力手段に入力される状態情報の数を単一のクラスタ又はクラスタ群に入力される状態情報の数よりも多くすることが好ましい。これにより、クラスタ内又はクラスタ群内を接続する接続線の数に比較して、クラスタ間又はクラスタ群間を接続する信号線の数、すなわち長さが比較的長くなる配線の本数を少なくすることができるので、本発明に係るマルチプロセッサシステムの製造が容易になると共に、信号線及び接続線を含む電気配線全体の電気的負荷を小さくすることができる。

【0023】ところで、本発明において、複数のプロセッサの状態を反映させた状態情報としては種々の情報が考えられる。例えば複数のプロセッサが各々処理を行う状態においては、例えば複数のプロセッサの中に所定の条件を満足したプロセッサが存在しているか否か（条件の部分一致）を表す情報や、複数のプロセッサの全てが所定の条件を満足したか否か（条件の全体一致）を表す情報を用いることができる。これらの状態情報は、入力された状態情報に対して異なる演算（例えば入力された状態情報を集計する論理演算）を行うことで各々生成可能である。

【0024】複数のプロセッサの状態を反映させた状態情報として、各種の状態情報のうち1種類の状態情報のみ必要な場合には、第2出力手段（及び、入力された状態情報に対応するプロセッサの状態を反映させた状態情報を生成して出力する機能を備えた第1出力手段）は、

前記1種類の状態情報を生成するための演算を行う機能を備えていればよい。

【0025】一方、複数のプロセッサの状態を反映させた状態情報として複数種の状態情報が必要な場合には、請求項4に記載したように、第1出力手段（詳しくは、入力された状態情報に対応するプロセッサの状態を反映させた状態情報を生成して出力する機能を備えた第1出力手段）及び第2出力手段は、状態情報を生成するための演算として複数種の演算を選択的に行う機能を備え、外部からの指示に応じて複数種の演算を選択的に行って状態情報を生成することが好ましい。これにより、第1出力手段及び第2出力手段によって行われる演算を切り替えることで、複数のプロセッサの状態を反映させた状態情報として、複数種の状態情報を各々取得することができる。

【0026】

【発明の実施の形態】以下、図面を参照して本発明の実施形態の一例を詳細に説明する。図2には、本発明の一実施形態であるマルチプロセッサシステム100が示されている。マルチプロセッサシステム100は、P0～P15の合計16個のプロセッサを備えており、これらのプロセッサは、プロセッサ間のデータ通信等に用いられる多ビット幅のリングデータバス102を介して環状に接続されている。図2に矢印で示されているように、プロセッサ間のデータ通信は、リングデータバス102上を一定の方向（図2における時計回り）にデータが伝送されることによって成される。

【0027】プロセッサP0～P15は、各々4個のプロセッサから成るクラスタを単位としてグループ分けされている。従って、マルチプロセッサシステム100には4個のクラスタ0～3が形成されており、各クラスタ i （但し、 $i=0\sim3$ ）は各々プロセッサ $P(4i)\sim P(4i+3)$ から構成されている。なお、プロセッサP0はマルチプロセッサシステム100全体を制御するマスタープロセッサであり、プロセッサP1～P15はマスタープロセッサP0の指示の下で、様々な処理を行うスレーブプロセッサである。

【0028】プロセッサP0～P15は、図3に示す状態検査制御回路300を各々備えている。状態検査制御回路300は、状態レジスタ301、演算ロジック302、状態検査結果格納レジスタ303、状態情報出力セレクタ304、DFF（Dフリップフロップ）305を含んで構成されている。状態レジスタ301には、自プロセッサにより、自プロセッサの状態を表す（自プロセッサが所定の状態条件（例えば処理を終了したか否か）を満足したかどうかを表す）1ビットの情報（例えば状態条件を満足＝1、状態条件を満たしていない＝0）が格納される。

【0029】演算ロジック302は、4個の入力端子を備えたANDゲート306で構成されており、状態レジ

スタ301は接続線307-0を介して演算ロジック302の4個の入力端子のうちの1つに接続されている。各プロセッサは、各々3個の状態情報入力端子を備えており、演算ロジック302の4個の入力端子のうち状態レジスタ301に接続されていない3個の入力端子は、接続線307-1~307-3を介して3個の状態情報入力端子と接続されている。演算ロジック302は、4個の入力端子を介して各々入力された4個の論理値の論理積を演算し、演算結果を出力端子を介して出力する。

【0030】演算ロジック302の出力端子は、接続線309を介し、状態検査結果格納レジスタ303に接続されていると共に、状態情報出力セクタ304の2個の入力端子の一方に接続されており、状態検査結果格納レジスタ303には演算ロジック302から出力された論理値が格納され、状態情報出力セクタ304には前記論理値が入力される。

【0031】なお、マルチプロセッサシステム100における状態検査は、後述するように、マスタープロセッサP0から状態情報（初期論理値）が出力され、該状態情報がクラスタ0~3を順次伝播してマスタープロセッサP0に戻ってくることによって成される。このとき、マスタープロセッサP0のレジスタ303に格納される論理値は、マルチプロセッサシステム100の全てのプロセッサの状態検査を行った結果に相当する。レジスタ303は状態検査結果を格納するためのものであるため、マスタープロセッサP0以外のプロセッサP1~P15についてはレジスタ303を省略してもよい。

【0032】各プロセッサは各々1個の状態情報出力端子を備えており、状態情報出力セクタ304の出力端子はDFF（D-フリップフロップ）305を介して前記状態情報出力端子に接続されている。また、状態情報出力セクタ304の2個の入力端子の他方には、例えば接続線308を介してVDD（定電圧電源）に接続される等により、初期論理値“1”が固定的に入力される。マスタープロセッサP0の状態情報出力セクタ304は、入力された初期論理値“1”を状態情報出力端子へ出力するように設定されており、スレーブプロセッサP1~P15の状態情報出力セクタ304は、接続線309を介して演算ロジック302から入力された論理値を状態情報出力端子へ出力するように設定されている。

【0033】個々のクラスタを構成する4個のプロセッサは、1チップのCMOS LSI（以下、クラスタチップ400という）として集積化されている。図4に示すように、個々のプロセッサには単一のリングバス入力端子及び単一のリングバス出力端子が設けられており、リングデータバス102が順に接続されている。また、単一のクラスタチップ400には、単一の状態情報入力端子405と単一の状態情報出力端子406が設けられている。

【0034】クラスタチップ400内の第1番目のプロ

セッサ401（すなわち、クラスタiのプロセッサP(4i)）については、3個の状態情報入力端子401-1~3のうちの2個（入力端子401-2、401-3）には、例えば接続線を介してVDDに接続される等により論理値“1”が固定的に入力され、残り1個の状態情報入力端子（入力端子401-1）には、クラスタチップ400の状態情報入力端子405（すなわち、前クラスタ（クラスタi-1）の第4番目のプロセッサ404の状態情報出力端子404-4）に接続されている。

【0035】また、クラスタチップ400内の第2番目のプロセッサ402（すなわちクラスタiのプロセッサP(4i+1)）、第3番目のプロセッサ403（すなわちクラスタiのプロセッサP(4i+2)）については、各々3個の状態情報入力端子402-1~3、403-1~3が、例えば接続線を介してVDDに接続される等により論理値“1”が固定的に入力される。そしてクラスタチップ400内の第1番目~第3番目のプロセッサ401~403の状態情報出力端子401-4、402-4、403-4は、第4番目のプロセッサ404（すなわちクラスタiのプロセッサP(4i+3)）の状態情報入力端子404-1~404-3に接続されている。

【0036】単一のクラスタチップ400内の各プロセッサ401~404を上記のように接続することで、状態検査制御回路300を含む第1~4番目のプロセッサ401~404の構成を同一とすることができ、マルチプロセッサシステム100の開発効率が向上すると共に、マルチプロセッサシステム100の製造コストを低く抑えることができる。

【0037】図5に示すように、本実施形態に係るマルチプロセッサシステム100は、一枚のプリント基板（PCB）に4個のクラスタチップ400-1~4が実装され、隣接するクラスタチップの間がリングデータバスを介して接続されていると共に、状態情報入力端子・出力端子が信号線402-1~4（請求項1に記載の信号線に相当）を介して相互接続されて構成されている。

【0038】図示は省略するが、クラスタチップ400-1~4にはマスタープロセッサ選択端子が各々設けられており、各クラスタチップ400-1~4は、マスタープロセッサP0を含むクラスタチップ400-1のマスタープロセッサ選択端子のみアクティブとなり、その他のクラスタチップ400-2~4の同端子はインアクティブとなるようにプリント基板上で接続されている。これにより、クラスタチップ400-1の第1番目のプロセッサP0のみがマスタープロセッサとして機能する。

【0039】次に本実施形態の作用として、マルチプロセッサシステム100において、スレーブプロセッサP1~P15で並列に処理を実行させた際に、各スレーブプロセッサにおける処理が終了したかを検知する等の目的で行われる状態検査について説明する。なお、図示は

省略するが、全てのプロセッサはクロック信号線に接続されており、各プロセッサに共通の同期クロック信号が各プロセッサに各々入力される。状態情報の送受信は、すべてこの同期クロック信号に同期して行われる。

【0040】マスタープロセッサP0において各スレーブプロセッサP1～P15の状態検査の必要が生じると、マスタープロセッサP0内の状態検査制御回路300は、スレーブプロセッサへ出力すべき状態情報として、セレクト304により初期論理値"1"を選択し、クロック信号線を介して入力される同期クロック信号の毎サイクルに、状態情報出力端子401-4を介してスレーブプロセッサP3へ初期論理値"1"の状態情報を繰り返し出力する。

【0041】また、マスタープロセッサP0と同一のクラスタに属するスレーブプロセッサP1、P2内の状態検査制御回路300は、自プロセッサの状態情報入力端子402-1～3又は403-1～3から接続線307-1～3を介して固定的に入力される論理値"1"と、自プロセッサの状態レジスタ301から接続線307-0を介して入力された自プロセッサの状態を表す状態情報と、の論理積演算を演算ロジック302で行い、演算ロジック302における論理積演算の結果（すなわち自プロセッサの状態を表す状態情報）を、同期クロック信号の毎サイクルに、状態情報出力端子402-4又は403-4を介してスレーブプロセッサP3へ繰り返し出力する。

【0042】このように、スレーブプロセッサP1、P2（すなわち各クラスタiのプロセッサP(4i+1)、P(4i+2)）内の状態検査制御回路300の状態レジスタ301や演算ロジック302は、請求項1に記載の「対応するプロセッサの状態を表す状態情報を出力する第1出力手段」に対応している。

【0043】スレーブプロセッサP3の状態検査制御回路300の演算ロジック302は、マスタープロセッサP0から状態情報入力端子404-3を介してスレーブプロセッサP3に入力された初期論理値"1"の状態情報と、状態情報入力端子404-2、404-1を介してスレーブプロセッサP1、P2から入力された状態情報と、自プロセッサの状態レジスタ301から接続線307-0を介して入力された自プロセッサの状態を表す状態情報と、の論理積を演算し、演算結果（すなわちクラスタチップ400-1内の全てのスレーブプロセッサP1～P3の状態が反映された状態情報）を、同期クロック信号の毎サイクルに、状態情報出力端子404-4、すなわちプロセッサP0～P3を含むクラスタチップ400-1の状態情報出力端子406を介して繰り返し出力する。

【0044】このように、スレーブプロセッサP3（すなわち各クラスタiのプロセッサP(4i+3)）内の状態検査制御回路300のうち、状態レジスタ301は請

求項1に記載の「対応するプロセッサの状態を表す状態情報を出力する第1出力手段」に対応しており、演算ロジック302は請求項1に記載の「クラスタ毎に少なくとも1つ設けられ、対応するクラスタ内の全てのプロセッサから状態情報が各々入力され、入力された各状態情報が表すプロセッサの状態を各々反映させた単一の状態情報を生成して出力する第2出力手段」に対応している。

【0045】マスタープロセッサP0を含むクラスタチップ400-1から出力された状態情報は、次段のクラスタチップ400-2の状態情報入力端子に入力される。スレーブプロセッサP4では、自プロセッサの状態情報入力端子401-2、401-3から接続線307-2、307-3を介して固定的に入力される論理値"1"と、自プロセッサの状態レジスタ301から接続線307-0を介して入力された自プロセッサの状態を表す状態情報と、前段のクラスタチップ400-1からクラスタチップ400-2の状態情報入力端子・自プロセッサの状態情報入力端子401-1・接続線307-1を介して入力される状態情報と、の論理積演算を演算ロジック302で行い、演算ロジック302における論理積演算の結果（すなわち前段のクラスタチップ400-1内の全てのスレーブプロセッサ及び自プロセッサの状態が反映された状態情報）を、同期クロック信号の毎サイクルに、状態情報出力端子401-4を介してスレーブプロセッサP7へ出力する。

【0046】このように、スレーブプロセッサP4（すなわち各クラスタiのプロセッサP(4i)）内の状態検査制御回路300の状態レジスタ301及び演算ロジック302は、請求項1に記載の「入力された状態情報に対応するプロセッサの状態を反映させた状態情報を生成して出力する第1出力手段」に対応している。

【0047】なお、クラスタチップ400-2の他のプロセッサP5～P7の動作は、クラスタチップ400-1のプロセッサP1～P3の動作と同様であり、クラスタチップ400-2からは、クラスタチップ400-1及び400-2内の全てのスレーブプロセッサの状態が反映された状態情報が出力される。

【0048】上記のように、状態情報が各クラスタチップ400-1～4を順次伝搬することで、最後にはマスタープロセッサP0の状態情報入力端子401-1に最終結果（マルチプロセッサシステムの全てのスレーブプロセッサP1～P15の状態が反映された状態情報：全てのプロセッサが状態条件を満足していれば論理値"1"、状態条件の満足していないプロセッサがあれば論理値"0"になる）が同期クロック信号の毎サイクルに繰り返し入力されることになる。マスタープロセッサP0の状態レジスタ301には論理値"1"が固定的に格納されており、演算ロジック302からは状態情報入力端子401-1を介して入力された状態情報の論理値がその

まま出力され、演算ロジック302から出力された論理値は状態検査結果格納レジスタ303に同期クロック信号の毎サイクルに格納される。

【0049】従って、マスタープロセッサP0上で実行されるソフトウェア等により、状態検査結果格納レジスタ303に格納されている論理値を監視することで、マルチプロセッサシステム100の全てのスレーブプロセッサP1～P15の状態を検査することができる。

【0050】図6には、本実施形態に係るマルチプロセッサシステム100における状態検査のタイミングチャートを示す。図6では同期クロック信号の各サイクルにマスタープロセッサP0から各々出力される状態情報に「a, b, c, …」の符号を付して区別している。

【0051】このタイミングチャートにおいて、或るサイクルでマスタープロセッサP0から出力された状態情報（例えば符号aが付された状態情報）の伝播を追跡しても明らかなように、マスタープロセッサP0からスレーブプロセッサP3へ状態情報aが出力されるサイクルと同一のサイクルに、マスタープロセッサP0と同一のクラスタ0のスレーブプロセッサP1、P2からスレーブプロセッサP3へも状態情報aが出力され、次のサイクルではスレーブプロセッサP3から次段のクラスタ1のスレーブプロセッサP4へ状態情報aが出力される。従って、4個のプロセッサから成る単一のクラスタ当たり2サイクルで状態情報が伝播することになり、クラスタ数(=4)×2=8サイクルで、全てのスレーブプロセッサの状態が反映された状態情報がマスタープロセッサP0に入力されることになる。

【0052】図6のタイミングチャートでは、スレーブプロセッサP1～P15において、状態条件が成立し状態レジスタ301に格納されている値が書き換わったタイミングを、細線の矢印と太線の矢印の境界として各々示している。図6の例では、スレーブプロセッサP1、P8が最も遅いタイミングで状態条件が成立しているが、このタイミングから7サイクル後には、全てのスレーブプロセッサで状態条件が成立した（同期成立）ことを表す状態情報（論理値“1”）がマスタープロセッサP0に入力され、マスタープロセッサP0が同期成立を検知することができる。

【0053】図7には比較例として、リングデータバス102を介して状態検査パケットを伝播させて状態検査を行う従来方式のタイミングチャートを示す。この従来方式では、状態検査パケットが全てのプロセッサの間を順に伝播していくため、個々のスレーブプロセッサの状態検査パケット受信及び送信が1サイクルで完了するとしても（図7はこの場合を示す）、マスタープロセッサP0から状態検査パケットが送信されてから、全てのスレーブプロセッサの状態が反映された状態情報パケットがマスタープロセッサP0で受信される迄にプロセッサの個数分のサイクル（図7の例では16サイクル）を要

する。

【0054】このため、全てのプロセッサで状態条件が成立してから状態情報パケットによって通知される状態情報が論理値“1”に変化する迄にも、最後に状態条件が成立したスレーブプロセッサから見て、マスタープロセッサに到達する迄の経路上に存在するプロセッサの個数分のサイクル（図7の例では15サイクル）を要することになる。

【0055】従って、図6のタイミングチャートを図7のタイミングチャートと比較しても明らかなように、本実施形態に係るマルチプロセッサシステム100によれば、全てのスレーブプロセッサで状態条件が成立してからマスタープロセッサP0がこれを同期成立として検知する迄の時間が、従来方式と比較して明らかに短縮されていることが理解できる。また、状態検査によってリングデータバス102が占有されることもなく、プロセッサ間のデータ通信を、リングデータバス102を介し状態検査と並行して行うことができる。

【0056】マルチプロセッサシステム100では、クラスタi内の最終段のプロセッサP(4i+3)に入力される状態情報の数が、単一のクラスタに入力される状態情報の数よりも多いので、比較的配線が困難で配線の長さも長くなるクラスタチップ間の配線の数に比して、比較的配線が容易で配線の長さも短いクラスタチップ内の配線の数が多くなっている。これにより、マルチプロセッサシステム100の製造が容易になると共に電気配線全体の電氣的負荷も小さくなる。

【0057】次に本発明の他の実施形態について説明する。図8には、各プロセッサに設けられる状態検査制御回路の他の例が示されている。図8に示す状態検査制御回路500は、図3に示す状態検査制御回路300と同様に、状態レジスタ501、演算ロジック502、状態検査結果格納レジスタ503、状態情報出力セクタ504、DFF（D-フリップフロップ）505を含んで構成されている。状態検査制御回路500の演算ロジック502は、4個の入力端子を備えたANDゲート506と4個の入力端子を備えたORゲート507を備えており、状態レジスタ501はANDゲート506及びORゲート507の4個の入力端子のうちの1つに各々接続されている。

【0058】また、状態検査制御回路500はセクタ508、509、510、511を備えている。セクタ508の2個の入力端子のうちの一方は、例えば接続線を介してVDD（定電圧電源）に接続される等により論理値“1”が固定的に入力され、前記2個の入力端子のうちの他方は、例えば接続線を介してグランドに接続される等により論理値“0”が固定的に入力される。セクタ508の出力端はセクタ509、510、511の2個の入力端子の一方に各々接続されており、更に状態情報出力セクタ504の2個の入力端子の一方にも接

続されている。

【0059】セクタ509、510、511の2個の入力端子の他方は、プロセッサに設けられている3個の状態情報入力端子の何れかに各々接続されており、セクタ509、510、511の出力端子は、ANDゲート506及びORゲート507の4個の入力端子のうち状態レジスタ301に接続されていない3個の入力端子の何れかに各々接続されている。

【0060】セクタ509、510、511の選択信号入力端子は、プロセッサに設けられた3個の状態情報入力選択端子の何れかに各々接続されている。プリント基板上にプロセッサ（クラスタチップ）が実装されることにより、セクタ509、510、511には3個の状態情報入力選択端子を介して論理値“0”又は“1”の状態情報入力選択信号が各々固定的に輸入され、セクタ509、510、511は固定的に輸入される状態情報入力選択信号に従って、一方の入力端子を介して入力される情報（論理値）を固定的にANDゲート506及びORゲート507へ出力する。

【0061】すなわち、他のプロセッサ又はクラスタから状態情報が入力されないプロセッサ（例えば図2のマルチプロセッサシステム100において、クラスタiのプロセッサP(4i+1)、P(4i+2))については、セクタ509、510、511の各々において、セクタ508から入力された論理値がANDゲート506及びORゲート507へ固定的に出力されるように、各セクタに状態情報入力選択信号が入力される。

【0062】また、同一のクラスタの他の全てのプロセッサから（全ての状態情報入力端子を介して）状態情報が入力されるプロセッサ（例えば図2のマルチプロセッサシステム100において、クラスタiのプロセッサP(4i+3))については、セクタ509、510、511の各々において、状態情報入力端子を介して入力された状態情報がANDゲート506及びORゲート507へ固定的に出力されるように、各セクタに状態情報入力選択信号が入力される。

【0063】更に、3個の状態情報入力端子のうちの一部の端子から状態情報が入力されるプロセッサ（例えば図2のマルチプロセッサシステム100において、クラスタiのプロセッサP(4i))については、セクタ509、510、511のうち状態情報入力端子を介して状態情報が入力されるセクタからは、状態情報入力端子を介して入力された状態情報がANDゲート506及びORゲート507へ固定的に出力され、状態情報が入力されないセクタからは、セクタ508から入力された論理値がANDゲート506及びORゲート507へ固定的に出力されるように、各セクタに状態情報入力選択信号が入力される。

【0064】また、ANDゲート506の出力端子はセクタ512の2個の入力端子の一方に、ORゲート5

07の出力端子はセクタ512の2個の入力端子の他方に各々接続されており、セクタ512の出力端子は状態検査結果格納レジスタ503に接続されていると共に、状態情報出力セクタ504の2個の入力端子の一方に接続されている。

【0065】セクタ512の選択信号入力端子及び前述したセクタ508の選択信号入力端子は自プロセッサに接続されており、自プロセッサから演算選択信号が入力される。この演算選択信号により、ANDゲート506の論理演算の結果がセクタ512から出力される場合にはセクタ508から論理値“1”が出力され、ORゲート507の論理演算の結果がセクタ512から出力される場合にはセクタ508から論理値“0”が出力される。

【0066】これにより、全てのプロセッサの状態検査制御回路500を、演算選択信号によりセクタ512からANDゲート506の論理演算の結果が出力される状態にしておき、マスタープロセッサP0からスレーブプロセッサP4へ初期論理値“1”の状態情報を出力すれば、状態検査制御回路300と同様に、8サイクル後には全てのプロセッサが状態条件を満足したか否かを表す状態情報が得られると共に、全てのプロセッサの状態検査制御回路500を、演算選択信号によりセクタ512からORゲート507の論理演算の結果が出力される状態にしておき、マスタープロセッサP0からスレーブプロセッサP4へ初期論理値“0”の状態情報を出力すれば、8サイクル後には状態条件を満足したプロセッサが存在しているか否かを表す状態情報が得られる。

【0067】このように、状態検査制御回路を上記の構成にすることにより、プロセッサ間やクラスタ間の電気配線数の増大を招くことなく、2種類の状態情報を各々取得することができる。なお、演算選択信号により全てのプロセッサの状態検査制御回路500の状態を切り替えることは、リングデータバス102を介し、マスタープロセッサP0から全てのプロセッサに対して状態検査制御回路500の状態の切り替えを指示するパケットを送信することで行うことができる。上述した状態検査制御回路500は請求項4に記載の第1出力手段及び第2出力手段に対応している。

【0068】また、図9及び図10には、本発明の他の実施形態に係るマルチプロセッサシステム600が示されている。マルチプロセッサシステム600は、マルチプロセッサシステム100に対してトポロジーを変更し、CMOS LSIチップ（クラスタチップ）、複数のクラスタチップを備えたマルチチップモジュール（MCM：クラスタ群）、複数のマルチチップモジュールが実装されたPCB（プリント基板）の各段階において、状態情報を伝達するための電気配線の密度を変化させたものである。なお、全ての図示は省略するが、マルチプロセッサシステム600は128個のプロセッサを備え

ている。

【0069】図9に示すように、単一のクラスタチップ内には8個のプロセッサが設けられており、図示は省略するが、各プロセッサには、7個の状態情報入力端子と1個の状態情報出力端子が各々設けられている。単一のクラスタチップ内の第1番目～第7番目のプロセッサP0～P6の状態情報出力端子は、同一クラスタチップ内の第8番目のプロセッサP7の7個の状態情報入力端子の何れかに各々接続されており、プロセッサP0～P6から出力された状態情報はプロセッサP7に各々入力される。これにより、P7からは同一クラスタチップ内の全てのプロセッサの状態が反映された状態情報が出力される。

【0070】また図10に示すように、単一のマルチチップモジュール（クラスタ群）には4個のクラスタチップが設けられている。個々のクラスタチップには3個の状態情報入力端子と、自クラスタチップ内のプロセッサP7の状態情報出力端子に接続される1個の状態情報出力端子が各々設けられている（図9参照）。単一のモジュール内の第1番目～第3番目のクラスタチップの状態情報出力端子は、同一モジュール内の第4番目のクラスタチップの3個の状態情報入力端子に接続されており、該クラスタチップのプロセッサP1には、第1番目～第3番目のクラスタチップから出力された状態情報が各々入力される。

【0071】これにより、第4番目のクラスタチップのプロセッサP0からは、他のクラスタチップの全てのプロセッサの状態及び自プロセッサの状態が反映された状態情報が出力され、第4番目のクラスタチップ（のプロセッサP7）からは、同一モジュール内の全てのプロセッサの状態が反映された状態情報が出力される。上記より明らかなように、マルチプロセッサシステム600において、第4番目のクラスタチップのプロセッサP0の状態検査制御回路は、第4番目のクラスタチップのプロセッサP7の状態検査制御回路と共に、本発明の第2出力手段としての機能を備えている。

【0072】また、単一のプリント基板上には4個のモジュールが設けられており、個々のモジュールには状態情報入力端子及び状態情報出力端子が各々1個ずつ設けられている。各モジュールの状態情報出力端子は後段のモジュールの状態情報入力端子に接続されている。なお、各プロセッサ及び各クラスタチップの状態情報入力端子のうち、状態情報が入力されない入力端子については、各プロセッサが内蔵している状態検査制御回路の演算ロジックに応じてプルダウン（論理値“0”が入力）またはプルアップ（論理値“1”が入力）される。

【0073】上述した構成のマルチプロセッサシステム600では、8個のプロセッサから成る単一のクラスタチップ当り2サイクルで状態情報が伝播し、4個のクラスタチップから成る単一のモジュール当り4サイクルで

状態情報が伝播することになり、モジュール数（＝4） \times 4＝16サイクルで、全てのスレーブプロセッサの状態が反映された状態情報がマスタープロセッサPに入力されることになる。

【0074】マルチプロセッサシステム600では、単一のクラスタチップ内のプロセッサ数（＝8）を、単一のモジュール内のクラスタチップ数及びプリント基板内のモジュール数（＝4）よりも多くしており、単一のクラスタチップ内の最終段のプロセッサP7に入力される状態情報の数が、単一のクラスタチップや単一のモジュール（クラスタ群）に入力される状態情報の数よりも多いので、比較的配線が困難で配線の長さも長くなるクラスタチップ間やモジュール間の配線の数に比して、比較的配線が容易で配線の長さも短いクラスタチップ内の配線の数が多くなっている。これにより、マルチプロセッサシステム100の製造が容易になると共に電気配線全体の電氣的負荷も小さくなる。

【0075】なお、上記のマルチプロセッサシステム600では、クラスタチップ内・マルチチップモジュール内・プリント基板内の3段階における電気配線の密度を変化させていたが、複数枚のプリント基板から成る大規模なマルチプロセッサシステムを構築する等の場合に、プリント基板間を含む4段階における電気配線の密度を、プリント基板間の電気配線の密度が最小となるように変化させてもよい。

【0076】また、上記では1ビットの状態情報を伝播させるようにしていたが、本発明はこれに限定されるものではなく、状態情報を複数ビットで構成し、この状態情報を例えばシリアルに伝播させるようにしてもよい。

【0077】また、図2に示したマルチプロセッサシステム100では、或るクラスタから出力された状態情報が次段のクラスタの第1番目のプロセッサに入力される構成を採用していたが、これに限定されるものではなく、第1番目以外の他のプロセッサに状態情報が入力されるようにしてもよい。特に最終プロセッサ（単一のクラスタがN個のプロセッサから構成されている場合の第N番目のプロセッサ）に入力されるようにすれば、状態情報の伝播速度を更に高速化することができる。

【0078】更に、図10に示したマルチプロセッサシステム600においても、上記と同様に、或るクラスタ群（モジュール）から出力された状態情報が次段のクラスタ群の第1番目のクラスタに入力される構成を採用していたが、これに限定されるものではなく、第1番目以外の他のクラスタに状態情報が入力されるようにしてもよい。

【0079】

【発明の効果】以上説明したように請求項1記載の発明は、バスを介して接続されたマルチプロセッサシステムの多数個のプロセッサを、複数個のプロセッサから成るクラスタを単位としてグループ分けし、対応するプロセ

ッサの状態を表す状態情報を出力するか、或いは、入力された状態情報に対応するプロセッサの状態を反映させた状態情報を生成して出力する第1出力手段を各プロセッサ毎に各々設け、対応するクラスタ内の全てのプロセッサ、又は対応するクラスタ群内の全てのクラスタから各々入力された各状態情報が表すプロセッサの状態を各々反映させた単一の状態情報を生成して出力する第2出力手段を、クラスタ又は複数のクラスタから成るクラスタ群毎に少なくとも1つ設け、第2出力手段から出力された状態情報を信号線によって次クラスタ又は次クラスタ群の第1出力手段又は第2出力手段に入力させるので、各プロセッサの状態検査を、非常に複雑な電気配線を必要としたり、プロセッサ間のデータ通信を遮ることなく短時間で行うことができる、という優れた効果を有する。

【0080】請求項2記載の発明は、請求項1の発明において、相互に近接した位置に配置されるプロセッサによってクラスタ又はクラスタ群を各々構成したので、上記効果に加え、クラスタ内又はクラスタ群内を接続する接続線の長さを短くすることができ、接続線の電氣的負荷を小さくすることができる、という効果を有する。

【0081】請求項3記載の発明は、請求項2の発明において第2出力手段に入力される状態情報の数を単一のクラスタ又はクラスタ群に入力される状態情報の数よりも多くしたので、上記効果に加え、マルチプロセッサシステムの製造が容易になると共に、信号線及び接続線を含む電気配線全体の電氣的負荷を小さくすることができる、という効果を有する。

【0082】請求項4記載の発明は、請求項1の発明において、第1出力手段及び第2出力手段は、状態情報を生成するための演算として複数種の演算を選択的に行う機能を備え、外部からの指示に応じて複数種の演算を選択的に行って状態情報を生成するので、上記効果に加え、複数のプロセッサの状態を反映させた状態情報とし

て、複数種の状態情報を各々取得することができる、という効果を有する。

【図面の簡単な説明】

【図1】 (A) 及び (B) は本発明を説明するための単一のクラスタ又は単一のクラスタ群内の構成の一例を示す概略ブロック図である。

【図2】 本実施形態に係るマルチプロセッサシステムの一例を示す概念図である。

【図3】 図2のマルチプロセッサシステムにおいて、各プロセッサに設けられている状態検査制御回路の構成を示す概略ブロック図である。

【図4】 単一のクラスタチップ内の接続関係を示す概略図である。

【図5】 プリント基板上における各クラスタチップの配置及び接続関係を示す概略図である。

【図6】 図2のマルチプロセッサシステムにおける状態検査のタイミングチャートである。

【図7】 図6の比較例として、従来方式を採用した場合の状態検査のタイミングチャートである。

【図8】 状態検査制御回路の他の構成を示す概略ブロック図である。

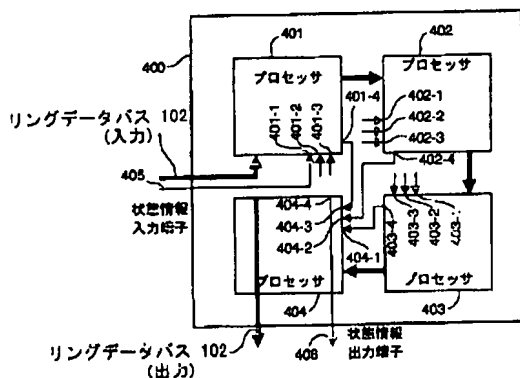
【図9】 マルチプロセッサシステムの他の例における単一のクラスタチップ内の接続関係を示す概略図である。

【図10】 マルチプロセッサシステムの他の例における各クラスタ群内の接続関係を示す概略図である。

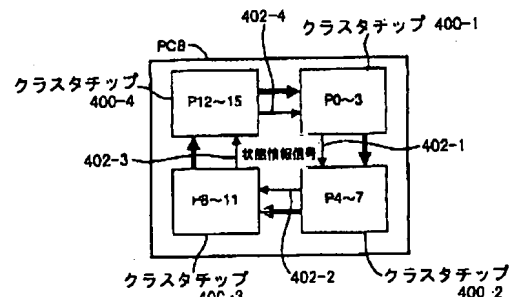
【符号の説明】

- 100 マルチプロセッサシステム
- 300 状態検査制御回路
- 302 演算ロジック
- 500 状態検査制御回路
- 502 演算ロジック
- 600 マルチプロセッサシステム

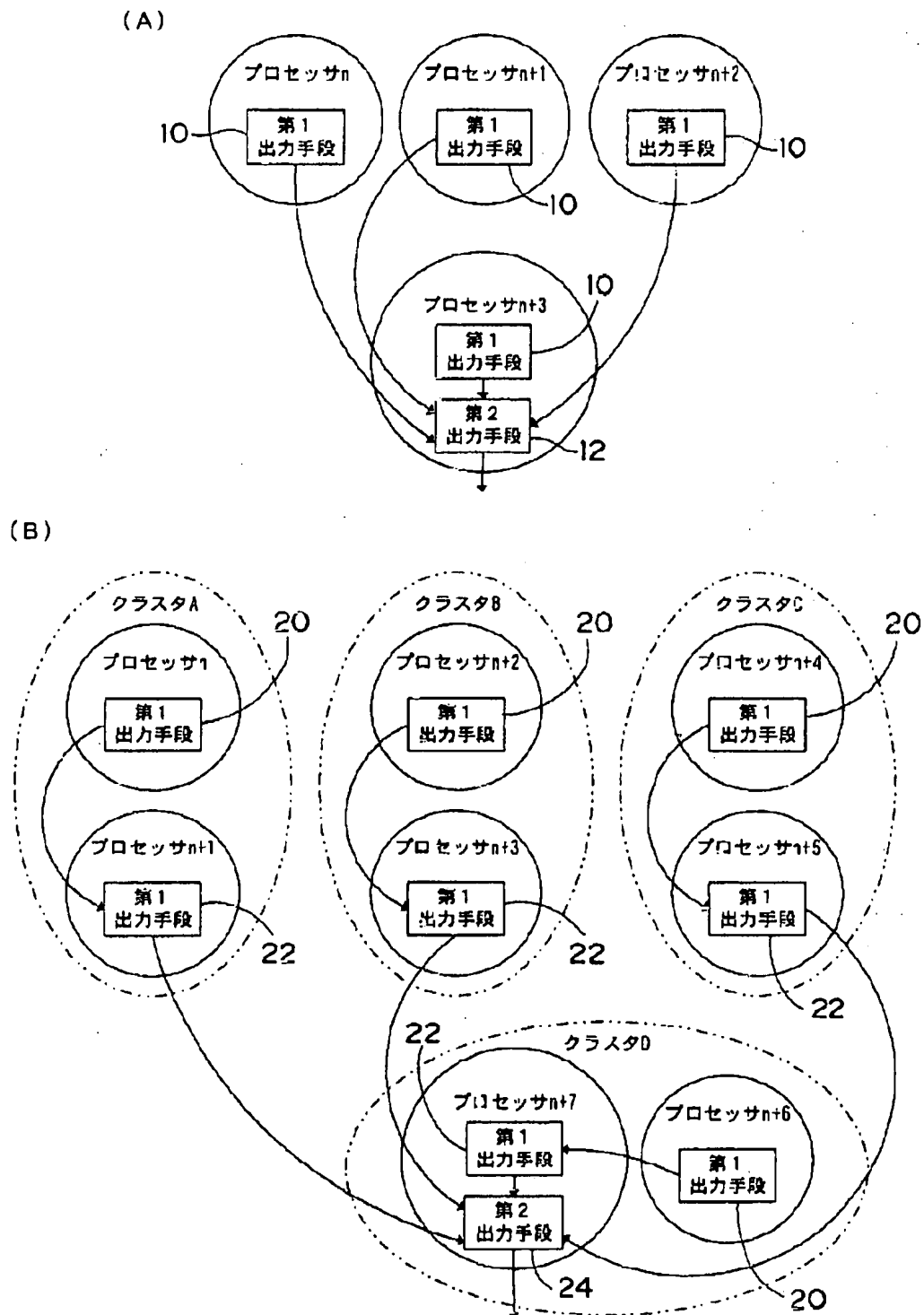
【図4】



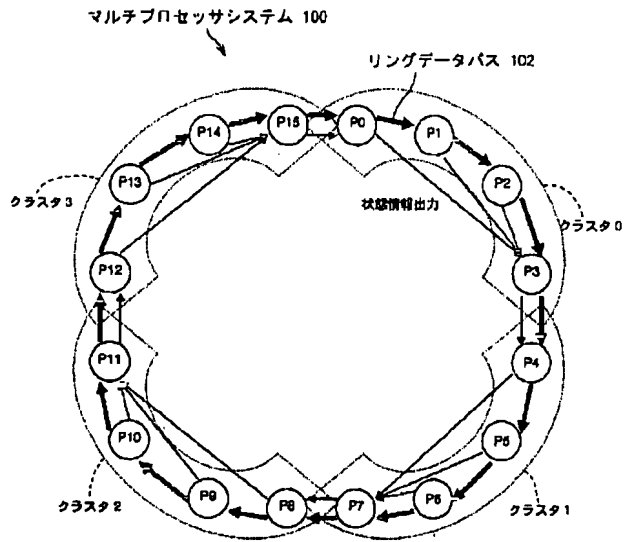
【図5】



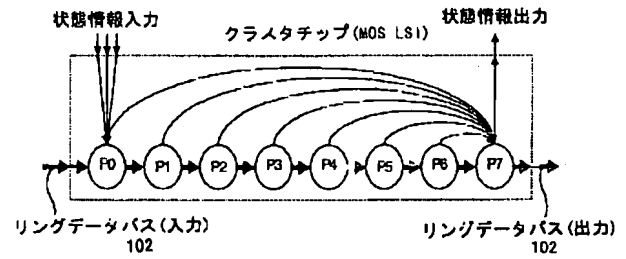
【図1】



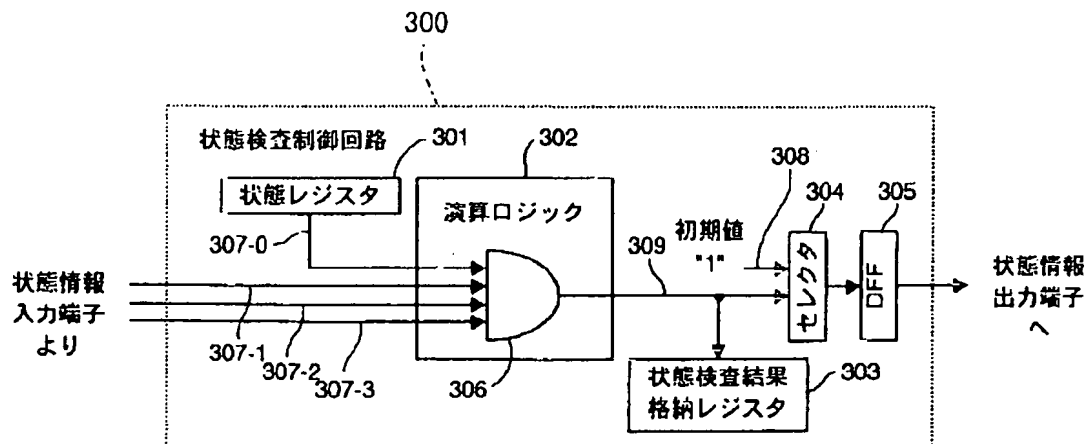
【図2】



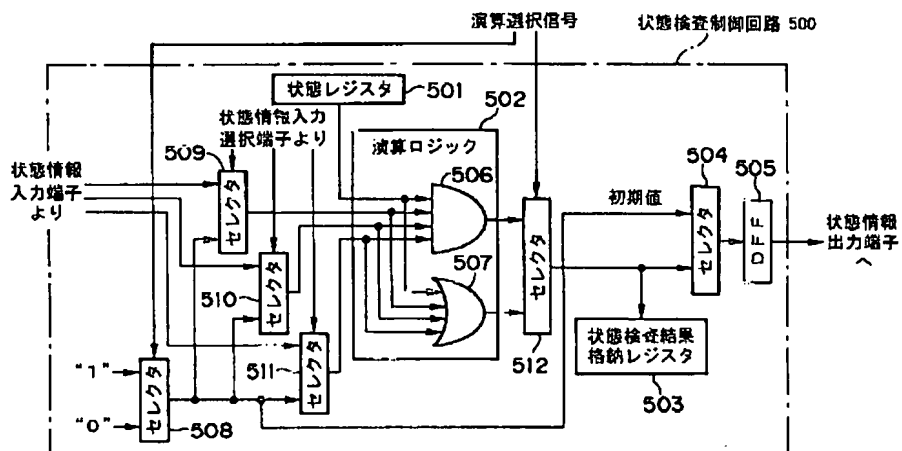
【図9】



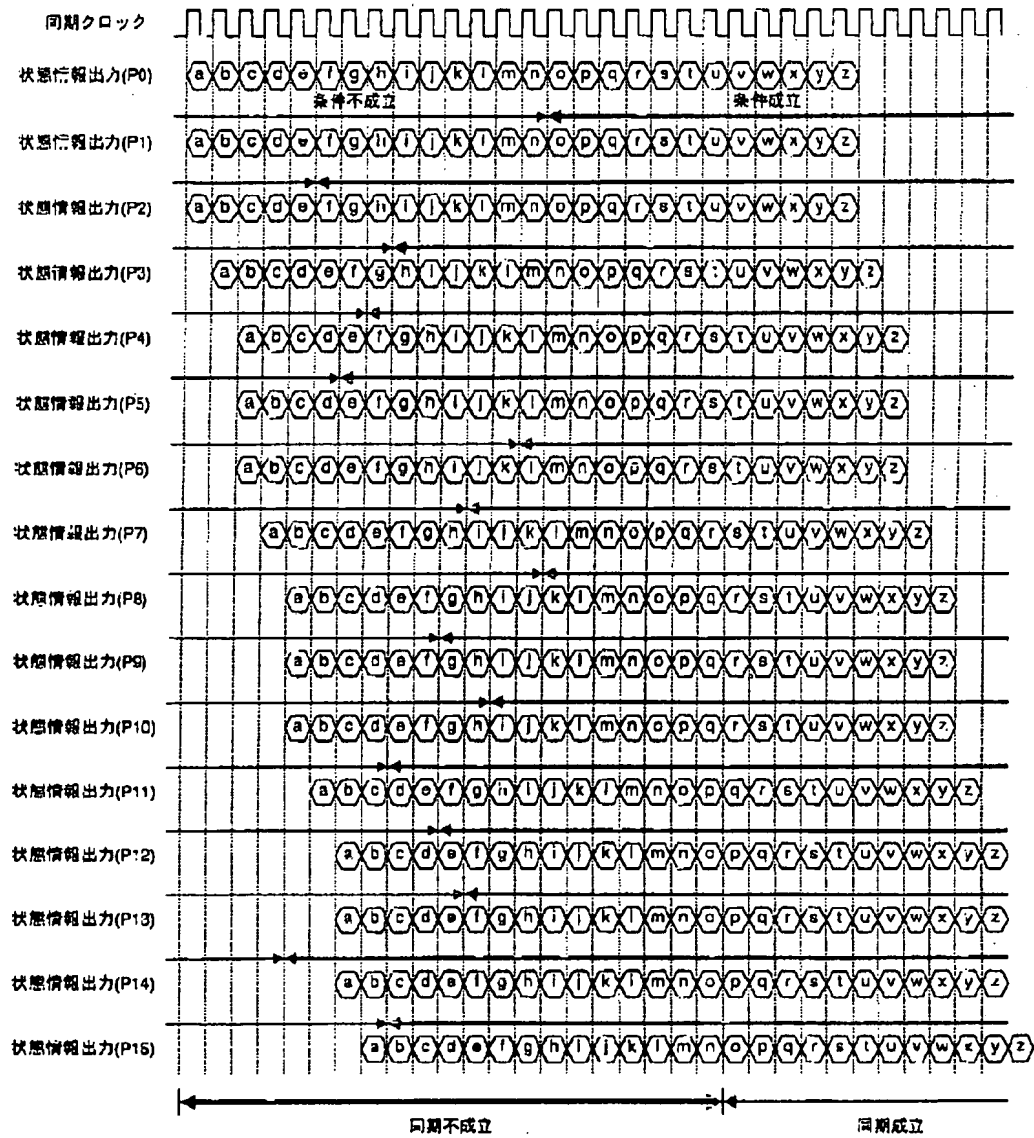
【図3】



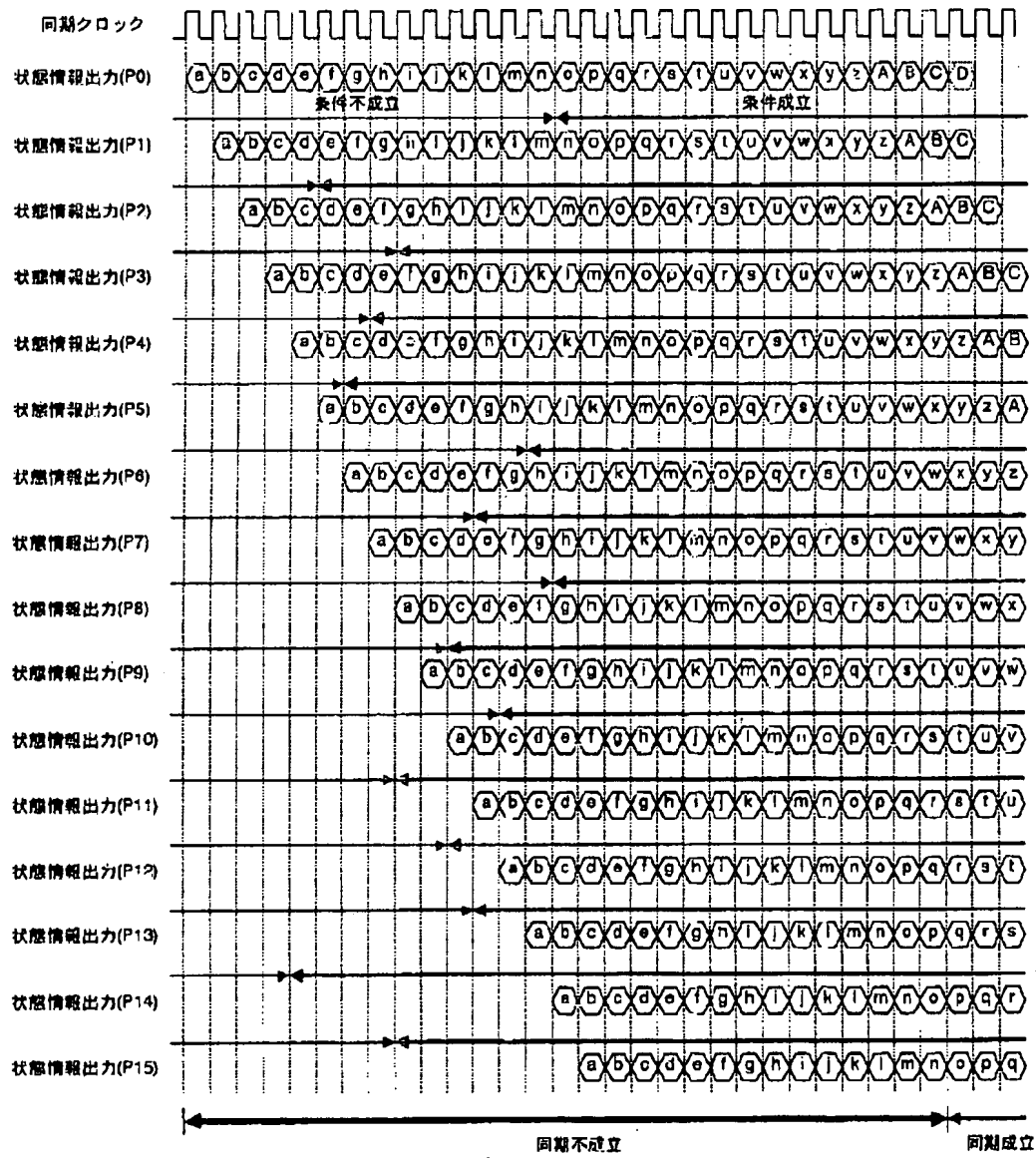
【図8】



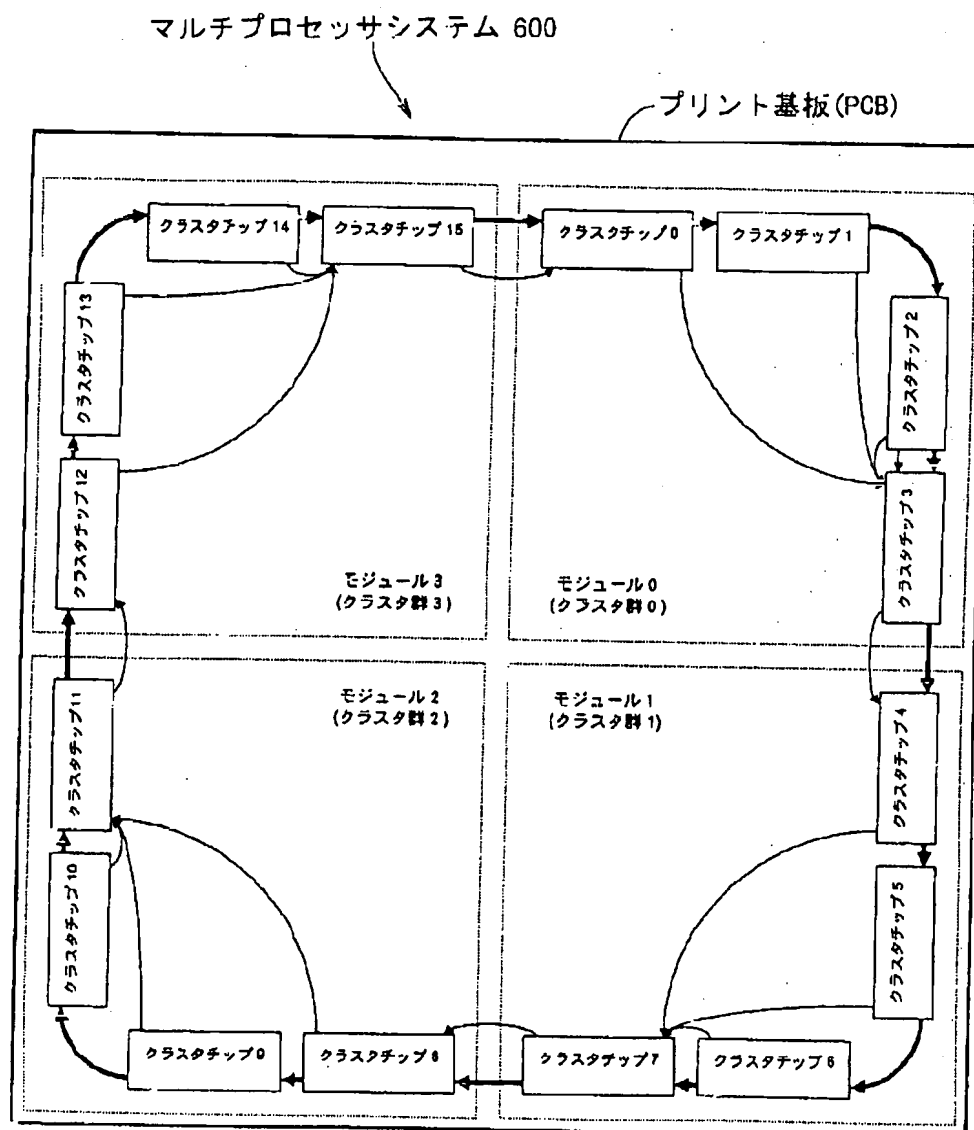
【図6】



【 図 7 】



【図10】



フロントページの続き

(72)発明者 島田 利郎
 神奈川県海老名市本郷2274番地 富士ゼロ
 ックス株式会社海老名事業所内

(72)発明者 植田 豊
 神奈川県海老名市本郷2274番地 富士ゼロ
 ックス株式会社海老名事業所内

(72)発明者 宮川 宣明
 神奈川県海老名市本郷2274番地 富士ゼロ
 ックス株式会社海老名事業所内

(72)発明者 小柳 光正
 宮城県名取市ゆりが丘1-22-5
 Fターム(参考) 5B045 BB49 GG01 JJ02 JJ08
 5B098 AA10 FF01 GC16